

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Digital delay interpolator circuit

Patent Number: ■ US5748125
Publication date: 1998-05-05
Inventor(s): CEDERBAUM CARL (FR); GIRARD PHILIPPE (FR); MONE PATRICK (FR)
Applicant(s): IBM (US)
Requested Patent: ■ JP9214334
Application Number: US19960751286 19961118
Priority Number(s): EP19960480006 19960123
IPC Classification: H03M1/66
EC Classification: H03K5/13D2
Equivalents:

Abstract

Disclosed is a delay interpolator (DI) circuit (or mixer) that can be driven by digital signals. This DI circuit may be incorporated in the loop of a delay interpolator voltage controlled oscillator (DIVCO) circuit. In turn, the digital DIVCO circuit may be inserted in the loop of a phase-locked loop (PLL) circuit for total digitalization thereof. The novel digital delay interpolator circuit (23) has the base structure of the conventional analog delay interpolator circuit except in that, at the first (bottom) level, the two standard NFET input devices which are normally controlled by an analog signal (typically generated by a preceding DAC) are respectively replaced by two arrays (24A, 24B) of smaller NFET devices connected in parallel. The gate of each NFET device of the first array is driven by a bit (c0, c1, . . .) of the true phase of the digital signal. The gate of each NFET device of the second array is driven by a bit (c0, c1, . . .) of the complementary phase of the digital signal. For instance, in the loop of a PLL circuit, this digital signal (Sfilt) is generated by the phase detector, then filtered in a digital filter and stored in a thermometer register. As a result, the DAC is no longer necessary thereby saving significant room and energy consumption.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-214334

(43)公開日 平成9年(1997)8月15日

(51)Int.Cl.⁶

H 0 3 L 7/099

識別記号

庁内整理番号

F I

H 0 3 L 7/08

技術表示箇所

F

審査請求 未請求 請求項の数3 O L (全 10 頁)

(21)出願番号 特願平8-313938

(22)出願日 平成8年(1996)11月25日

(31)優先権主張番号 9 6 4 8 0 0 0 6 . 4

(32)優先日 1996年1月23日

(33)優先権主張国 フランス (F R)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72)発明者 カール・シーダーバウム

フランス国06200、ニース、アベニュー・
デ・ラ・コーニッシュ・フラーリー 98、
レジデンス・アズア・シー

(74)代理人 弁理士 合田 潔 (外2名)

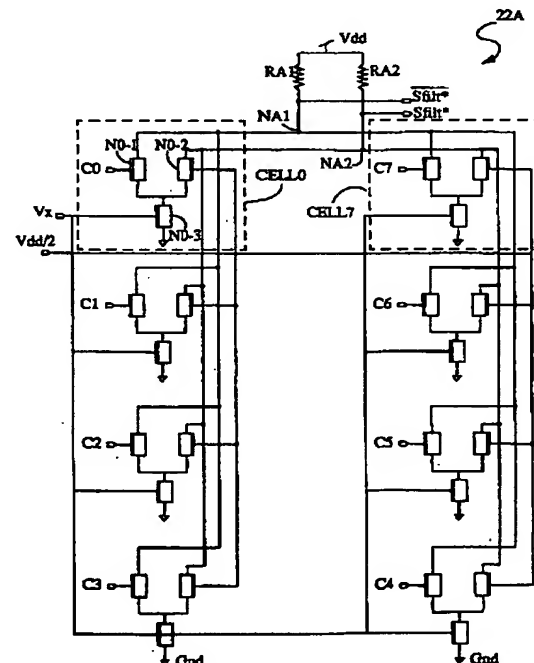
最終頁に続く

(54)【発明の名称】 デジタル遅延補間回路

(57)【要約】

【課題】 デジタル信号で駆動できる遅延補間 (D I) 回路、およびデジタル遅延補間電圧制御発振器 (D D I V C O) 回路を提供する。

【解決手段】 新しいデジタル遅延補間回路 (2 3) は、従来のアナログ遅延補間回路の構造に基づいている。だが、第1 (最下部) レベルにおいて、通常はアナログ信号 (一般的には前段のD A Cによって生成される) によって制御される2つの通常のN F E T素子がそれぞれ、並列に接続されているより小型のN F E T素子の2つの配列 (2 4 A, 2 4 B) に置き換えられている点異なる。第1配列の各N F E T素子のゲートは、デジタル信号の真位相のビット (c 0、c 1、...) によって駆動される。第2配列の各N F E T素子のゲートは、デジタル信号の相補位相のビット (c 0、c 1、...) によって駆動される。



従来の技術

【特許請求の範囲】

【請求項 1】 デジタル N ビットの真位相および相補位相によって駆動される完全にデジタルな遅延補間回路 (23) であって、

第 1 ノード (25A) を形成する共通ソースを有し、それぞれのゲートが第 1 入力信号 (A) の前記真位相および相補位相によって駆動される第 1 の一対の N F E T 素子 (T3-1、T3-2) と、

第 2 ノード (25B) を形成する共通ソースを有し、それぞれのゲートが第 2 入力信号 (B) の前記真位相および相補位相によって駆動される第 2 の一対の N F E T 素子 (T4-1、T4-2) とを有し、

前記第 1 の一対の N F E T 素子のうち、前記第 1 入力信号の前記相補位相によってゲートが駆動される前記 N F E T 素子が、第 1 供給電圧 (V d d) に接続されたダイオード/抵抗負荷 (T6-2、T6-1)、および前記第 2 の一対の N F E T 素子のうち前記第 2 入力信号の前記相補位相によってゲートが駆動される前記 N F E T 素子のドレインに接続され、それにより出力信号の第 1 位相 (S v c o) を生成する第 1 共通出力ノード (28B) を形成するそのドレインを有するものと、

前記第 2 の一対の N F E T 素子のうち、前記第 2 入力信号の前記真位相によってゲートが駆動される前記 N F E T 素子が、前記第 1 供給電圧 (V d d) に接続されたダイオード/抵抗負荷 (T5-2、T5-1)、および前記第 1 の一対の N F E T 素子のうち前記第 1 入力信号の前記真位相によってゲートが駆動される前記 N F E T 素子のドレインに接続され、それにより前記出力信号の第 2 位相 (S v c o) を生成する第 2 共通出力ノード (28A) を形成するそのドレインを有するものと、

並列に接続された複数 N 個の N F E T 素子 (T1-0、・・・) を含む第 1 の配列 (24A) であって、それぞれの前記 N F E T 素子の共通のドレインが前記第 1 ノードに接続され、共通のソースが共通のノード (26) において電流源 (27) に接続され、それぞれの前記 N F E T 素子のゲートが制御信号の真位相の各 N ビット (c0、・・・) によって駆動されるものと、

並列に接続された複数 N 個の N F E T 素子 (T2-0、・・・) を含む第 2 の配列 (24B) であって、それぞれの前記 N F E T 素子の共通のドレインが前記第 2 ノードに接続され、共通のソースが前記共通ノード (26) において前記電流源 (27) に接続され、それぞれの前記 N F E T のゲートが前記制御信号の相補位相の各 N ビット (c0、・・・) によって駆動されるものと、を有する完全にデジタルの遅延補間回路。

【請求項 2】 前記デジタル制御信号が温度計レジスタ (13) によって生成される請求項 1 に記載の回路。

【請求項 3】 前記第 1 配列および第 2 配列にあるすべての前記 N F E T 素子が同じサイズを有する請求項 1、ないし請求項 2 に記載の回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明が概して関しているのは、位相ロック・ループ (P L L) 回路および遅延補間電圧制御発振器 (D I V C O) 回路であり、より詳細にはそれらの主要構成部分であるデジタル遅延補間回路である。現在までのところ、市場で入手できる当今の P L L 回路のループを形成している要素はすべてデジタル回路を含み、例外は D I V C O 回路だけである。D I V C O 回路は、アナログ信号で駆動される一定数 (例えば 2 つ) の遅延補間 (D I) 回路を含む。したがって、D I 回路の駆動には、必然的にデジタル・アナログ変換器 (D A C) が必要となる。本発明によって、D I 回路に一種の D A C 機能がある程度提供されるので、D I 回路をデジタル信号で駆動できる。その結果、完全にデジタルの D I V C O 回路が D I 回路を組み込み、そして P L L 回路は、どの標準 C M O S 技術でも設計し、製造することができる。

【0002】

【従来の技術】 シリコン技術が微細化を進めるにつれ、アナログ『線形』回路にますますデジタル要素を使用しようという性急な傾向がある。周知の位相ロック・ループ (P L L) 回路ファミリもこの傾向を避けられず、デジタル回路を組み込む動きがますます強まっている。現在までのところ、P L L 回路を形成している種々の部品のほとんどはデジタルの要素からなっているが、電圧制御発振器は例外である。電圧制御発振器、特に遅延補間電圧制御発振器 (D I V C O) 回路と呼ばれるものは、P L L の不可欠な構成部分である。D I V C O 回路は低利得 (低ループ帯域幅に対し) および低位相ノイズで知られている。したがって今日では、完全なデジタル環境で駆動できるようにした D I V C O 回路を開発する要求がかなり多い。残念なことに従来の D I V C O 回路は、アナログ信号で駆動される一定数 (例えば 2 つ) の遅延補間 (D I) 回路 (技術文献では『ミキサ』とも呼ぶ) を含んでいる。

【0003】 既存技術の昨今の P L L 回路の例は、1995 年発行の I E E E I S S C C の技術論文の要録 32 ページおよび 33 ページに、『Single Chip 1062 Mbaud CMOS transceiver for serial data communication』のタイトルで、J F Ewen 他により発表されており、特にその図 2 に表されている。この図 2 で明白なとおり、D I V C O 回路を駆動するデジタル・アナログ変換器 (D A C) があり、D I V C O 回路の出力信号周波数はアナログ信号で制御されていることを示している。この回路をアナログ遅延補間電圧制御発振器 (A D I V C O) と呼ぶことにする。本出願の図 1 に示されている従来の P L L 回路は、前記論文の図 2 に表されている P L L 回路と、すべての点で同一であ

る。

【0004】図1を見ると、参照番号10のPLL回路は、まず位相検出器11を含む。位相検出器11の役割は、2つの入力信号間の位相差の関数であるデジタル信号Sを出力に生成することである。2つの入力信号は、Srefという基準入力信号およびSvcoというデジタル・クロック信号であり、ループを閉じるADIVCO回路によって生成される。2つの信号SrefおよびSvcoは、それぞれ位相検出器11の第1入力および第2入力に供給される。位相検出器11が出力した信号Sは、デジタル・フィルタ12を増分もしくは減分して、ループ安定度を確保する。生成された信号は、温度計タイプ(thermometertype)のレジスタ13に記憶される。当分野に知識をもつ当業者に知られるとおり、温度計レジスタは単純な構造なので、Nビットのデジタル信号によって駆動されているが、2*Nではなく、Nのみの異なった内容をもつ。レジスタ13は、Sfiltというフィルタ処理されたデジタル信号によって増分あるいは減分される。レジスタ13は、Nビット幅の2進ワードの形でループの現在の状態を記憶する(本出願では図示のためにN=16となっている)。PLL回路10は、さらに前述のデジタル・アナログ変換器(DAC)14およびADIVCO回路15を含む。DAC14の役割は、レジスタ13に記憶されたデジタル信号Sfiltを、Sfilt*と呼ばれる非平衡終端されるか、望ましくは差動のアナログ電圧信号に変換することである。次に、ADIVCO回路15の機能は、前記アナログ電圧信号Sfilt*を、前に説明したようにSfilt*アナログ信号の振幅に依存した周波数のクロック信号Svcoに変換することである。クロック信号Svcoは、図1から明白なように、位相検出器11の前記第2入力および他の回路に供給される。当分野に知識をもつ当業者に知られるとおり、少なくとも前記クロック信号Svcoは、差動タイプである(すなわち、真および相補の値を有することが望ましい)。

【0005】図1のADIVCO回路15の詳細な構造は、前述の論文の図4に示されている。この図は、本出願では図2として取り入れられている。図2を見ると、一般的なリング発振器構造をもつ図1のADIVCO回路15の詳細な構造が示されている。ADIVCO回路15は、直列に接続された6ステージを含み、Vddおよび接地Gndである第1および第2の供給電圧間でバイアスされるループを形成する。これらの供給電圧VddおよびGndは、通常、電源によって供給される。前記ループには根本的に2種類の異なる型の回路があるのがわかる。16-1および16-2(総称して16)という2つのアナログ遅延補間(ADI)回路(前述論文ではいわゆる『ミキサ』)、および17-1から17-4(総称して17)の4つの遅延回路がある。別のバイ

アス回路(図にはない)がバイアス電圧を供給し、ADIVCO回路15の前記6つのステージが正常に作動する。図2のADIVCO回路15は一般的な構造なので、以下にあまり詳細にわたっては記述しない。ADIVCO回路は、アナログ差動制御信号Sfilt*およびSfilt*(前記論文ではいわゆるVcおよびVc)によって駆動され、デジタル差動出力信号SvcoおよびSvco(前記論文ではいわゆる信号C0およびC1に相当)を生成する。信号SvcoおよびSvcoは、18-1および18-2という2つの出力バッファにバッファリングされる。

【0006】2つのミキサ(前述の論文で遅延補間回路を称するために使用されている語をそのまま使用)16-1および16-2は、明らかにADIVCO回路15の重要構成要素である。図3から明白なとおり、ミキサ16は、A、B、Cという3つの差動入力端をもつ。Aの差動入力端は、最後の、但し1つ前の遅延回路の出力端に接続される。Bの差動入力端は、その1つ前の遅延回路の出力端に接続される。アナログ差動信号Sfilt*は、Cの差動制御入力端に供給される。差動入力端Cは、ミキサ内を通過する入力端AもしくはBからの信号の量を制御する。入力端Cの差動信号Sfilt*が正の場合、入力端Aからのより多量の信号がミキサ内を通過する。したがって、入力端Bからの信号の量は減る。入力端Aの信号は、入力端Bの信号より1遅延分進んでいるので、ループ遅延が減少して差動出力信号Svcoの発振周波数が高くなる。逆に入力端Cの差動信号Sfilt*が負の場合、ループ遅延が増加して差動出力信号Svcoの発振周波数が低下する。ミキサ16および遅延回路17の遅延が等しいものと仮定する。入力端Aの信号のみが通過する場合、ループ周期は4*Dに相当する。すなわち、2つの遅延回路による遅延(2*D)に2つのミキサによる遅延(2*D)が加わるためである。入力端Bの信号のみが通過する場合、同様の理論で、4つの遅延回路による遅延(4*D)に2つのミキサによる遅延(2*D)が加わるためにループ周期は6*Dになる。したがって、ADIVCO回路15のチューニング範囲は(5+/-1)*Dである。換言すれば、チューニング範囲は+/-20%に相当し、チューニング範囲が+/-100%以上の場合もある異なる構造をもつVCO回路に比べれば比較的狭い。

【0007】ミキサの詳細な回路構造は、図3の最初の拡大図に示されている。ミキサ16はノード19Aおよびノード19Bで縦続接続される2つの差動レベルをもつことがわかる。補間つまりミキシング機能は、2つの入力NFET素子T1およびT2で実現された第1差動レベルによって行われる。T1およびT2は、入力端CおよびCにおいて自身の各ゲートに供給されたアナログ差動信号Sfilt*およびSfilt*によって制御される。前記第1差動レベルは、通常はノード20にお

いて電流源を供給される。第2差動レベルは2つの分岐を含み、各分岐は一对のNFET素子で形成される。第1分岐では、2つのFET素子T3-1およびT3-2のゲートがそれぞれ入力端AおよびAに接続されている。一方第2分岐では、FET素子T4-1およびT4-2のゲートがそれぞれ入力端BおよびBに接続されている。一方のNFET素子T3-1およびT4-1のドレインは共通ノード21Aを、他方のNFET素子T3-2およびT4-2のドレインは共通ノード21Bを形成する。各共通ノード(21A、21B)は、ダイオード接続PFET素子(T5-2、T6-2)が並列に接続された抵抗接続PFET素子(T5-1、T6-1)の負荷がそれぞれ接続されている。ミキサ16が出力する信号OUTはノード21Bで、信号OUTはノード21Aで出力される。図3の他方の拡大図は、遅延回路17の詳細な構造を示している。遅延回路17は構造上、ミキサ16とほぼ同様であるが、この回路の役割は遅延を提供するだけなのでより単純な構造になっている。

【0008】さらに図1から明白なとおり、ADIVCO回路15の駆動にはデジタルアナログ変換器(DAC)14が必要である。図4が示すのは、図1のPLL回路10に採用されている従来の16ビットのDAC14の概略構造であり、2つの同一の主要ブロック22Aおよび22Bを含む。DAC14は、c0からc15のビットからなる16ビット幅のデジタル信号Sfiltを、差動アナログ入力信号Sfilt*に変換する。図4では、明瞭化のために供給電圧VddおよびGndは描写していない。

【0009】図5が示すのは、信号Sfiltのビットc0からc7を処理する主要ブロック22Aの詳細な構造である。ブロック22Aは、8つの同一セルCELL0からCELL7と、各ノードNA1およびNA2において電流を集計するための2つの負荷抵抗器RA1およびRA2とを含んでいる。図5から明白なように、個々のセル、例えばCELL0は3つのNFET素子N0-1、N0-2、N0-3を含む。N0-3のドレインはN0-1およびN0-2のソースに、ゲートはバイアス電圧Vxに、ソースはGndに接続されている。したがって、N0-3が電流源の役割をすることは明白である。FET素子N0-2のドレインは、信号Sfilt*を生成するために出力ノードNA2において負荷抵抗器RA2に、ゲートはバイアス電圧Vdd/2に接続されている。N0-1のドレインは、信号Sfilt*を生成するためにノードNA1において負荷抵抗器RA1に、ゲートはデジタル信号Sfiltのc0ビット信号に接続されている。他のセル、CELL1からCELL7もすべて同様に前記ノードNA1およびNA2において接続されている。c0および他のすべてのビット信号が低論理レベルの場合、電流は素子Nx-1(xは0から7)に流れず、したがってRA1に流れない。この

結果、Sfilt*の出力電圧は高くなる。一方、電流はすべてRA2に流れ、Sfilt*の出力電圧は低くなる。ビット信号c0および他のすべてのビット信号が高論理レベルに変わった場合、同様の理論が適用される。この場合、信号Sfilt*およびSfilt*は正反対の値をとる。注意に値することは、DAC14の主要ブロック22Aで望ましい精度を確保するには、共通ノードNA1およびNA2それぞれに接続された抵抗器RA1およびRA2が、高精度値をもつ必要があるということである(同じ論理は主要ブロック22Bにもあてはまる)。この結果、図4および5に表した回路を実現するには、48個の(比較的大きい)FET素子および4つの高精度抵抗器が必要となる。高精度抵抗器を製造するには、高精度を提供するのにふさわしい適切な技術が必要である。このため、DAC14は一般のデジタルCMOS技術では製造できず、前に説明したように現在のところ重大な欠点になっている。さらに、DAC14は空間を浪費する(望ましい精度に正比例するNに伴って領域が増大する)。

【0010】図2の従来のADIVCO回路15は、出力ブロック信号Svcoを低ジッタで生成するために必須の低利得(ループ安定性のため)と低位相ノイズを呈するが、数多くの欠点があるため、現在のところ十分に要求を満たしていない。第1にアナログ系であるため、制御にはアナログ電圧信号、すなわちSfilt*が必要である。このため図1のPLL回路10は、完全にはデジタル要素で製造できない。さらにPLL回路10を半導体チップに集積する場合(現在の技術の傾向である)、集積されたデジタル回路グルー(glue)全体が生ずるノイズによって、ADIVCO15に供給されるアナログ電圧信号Sfilt*が乱される可能性がある。実際アナログ信号Sfilt*は、電源レベル、チップ基板、デジタル(あるいはアナログ)信号からノイズを受ける。第2に高精度抵抗器(RA1、...)を実装することが必要なので、これにはアナログCMOS技術だけが適切である。第3に当分野に知識をもつ当業者に知られるように、DAC14はまた、シリコンや電力をかなり多く消費する。その理由は、DAC14は多数のアクティブなFET素子および高精度の抵抗器を必要とするからである。第4にADIVCO回路15の完全なチューニング範囲を得るには、DAC14の出力ダイナミック・レンジ電圧は、ミキサ16の第1差動レベルの入力FET素子を完全にスイッチ・オフにする最小電圧よりも高くなければならない。多くの場合これらの電圧は、同じプロセスのパラメータに依存したり、同じように温度に左右されることはない。このため、ミキサ16の第1差動レベルの入力FET素子をスイッチ・オフにする最小電圧よりもDAC14の出力ダイナミック・レンジ電圧を常に高くするためには、ある程度のマージンが必要となる。したがって、DAC14

の解像度を1ビット増加させることが必要となり、チューニング構成全体の効率が低下する結果となる。最後に、レジスタ13の出力が変わった後ADIVCO回路15が新しい周波数に到達するには、DAC14の確定を待つ必要があり、プロセスを減速し、PLL回路10のループに遅延を追加する(ループ安定のためには好ましくない)ことになる。本発明によるデジタルDIVCO回路を使用することによって、前述の欠点はすべて克服できる。

【0011】

【発明が解決しようとする課題】したがって本発明の第1の目的は、デジタル信号によって駆動できる遅延補間(DI)回路、すなわちミキサを提供することである。

【0012】本発明のもう1つの目的は、デジタル信号によって駆動されるデジタル遅延補間電圧制御発振器の回路を提供することである。

【0013】本発明のもう1つの目的は、標準のデジタルCMOS技術を使って製造できるように、ループに含まれる構成要素がすべてデジタル回路であるデジタル位相ロック・ループ(DPLL)回路を提供することである。

【0014】本発明のさらにもう1つの目的は、高精度抵抗器を要するデジタル-アナログ変換器(DAC)を必要としないデジタル位相ロック・ループ(DPLL)回路を提供することである。

【0015】本発明のさらに別の目的は、性能を向上させ、電力消費を減少させ、半導体チップの集積度を高めるため、ループ内で必要とするアクティブな(例えばFET)素子の数を減少させたデジタル位相ロック・ループ(DPLL)回路を提供することである。

【0016】

【課題を解決するための手段】本発明により、まずデジタル信号によって駆動できる遅延補間(DI)回路すなわちミキサを開示する。次に、遅延補間電圧制御発振器(DIVCO)回路のループにこのDI回路を組み込み、DIVCO回路をデジタル回路に変換することができる。最終的に、デジタルDIVCO(DDIVCO)回路を位相ロック・ループ回路のループに組み込み、位相ロック・ループ回路を完全にデジタル化することができる。

【0017】従来の遅延補間(DI)回路の2つのレベルの縦続接続構造において、第1(最下部)のレベルでは、通常はアナログ信号(例えば、一般にはDACが生成するSfilit*信号)の相補位相に制御される2つの入力NFET素子は、並列に接続され、デジタル信号の相補位相によってそれぞれ駆動されるより小さいNFET素子の2つの配列にそれぞれ置き換えられる。例えば、PLL回路のループでは、このデジタル信号は一般的には位相検出器が生成する信号(Sfilit)で

あり、標準ではデジタル・フィルタでフィルタ処理される。各配列では、各NFET素子のゲートは少しのデジタル信号で駆動される。

【0018】これらの2つの配列のNFET素子は、高精度抵抗器を必要とせず、より小型で少ない数のFET素子を用いて作動する簡易DACの役割を多少果たす。この結果、より高性能で完全にデジタルのDI回路をいずれのデジタルCMOS技術でも設計し、製造できる。次に、前記の完全にデジタルのDI回路をDIVCOおよびPLL回路に組み込み、DIVCOおよびPLL回路を完全にデジタル化できる。

【0019】本発明の特性であるといえる斬新な点は、文頭の特許請求の範囲で述べた。しかし、本発明そのものと本発明の他の目的および利点は、好ましい実施例を説明した以下の詳細な記述を付随の図面と照らし合わせて読むと良く理解できるであろう。

【0020】

【発明の実施の形態】本発明に従い、基本的には図3のDI回路16と、DAC機能をエミュレートするが、図4および図5に示されるDAC14とは構造的に全く異なる回路とを結合させてできたデジタルDI(DDI)回路の構造を以下に提案する。したがって、図3のDI回路16の構造は、本発明のDDI回路を構築する原点として使用できる。結果として、DDI回路は、デジタル信号Sfilitで直接に駆動されるようになってい。前に説明したとおり、温度計レジスタ13に記憶されるこの信号Sfilitは、位相検出器11が生成した信号Sをデジタル・フィルタ12でフィルタ処理した後に得られる。

【0021】ここで前記の斬新なDDI回路23を示す図6を見ると、ミキサ16の第1差動レベルにある2つの入力NFET素子T1およびT2(図3参照)が、それぞれが16個のNFET素子を含む2つの配列24Aおよび25Bに置き換わっている。2進信号SfilitがN=16ビットより多い場合、この原理をより多数のNFET素子に拡張することに留意されたい。配列24AはNFET素子T1-0からT1-15を含み、配列24BはNFET素子T2-0からT2-15を含む。1つの配列のNFET素子はすべて同じ大きさで並列になっている。すなわち、ソースとドレインが2つのそれぞれの共通ノードに接続されている。配列24A内のNFET素子のドレインに共通のノードは25Aで、配列24B内のFET素子のドレインに共通のノードは25Bである。配列24Aおよび24Bの両方のNFET素子すべてのソースは、単一の共通ノード26に接続され、接地Gndに接続された電流源27によって給電される。デジタル信号Sfilitの各ビット信号c0からc15は、配列24A内の対応するNFET素子のゲートに供給される。配列24B側の2進信号Sfilitの相補ビット、c0からc15にも同じ構造が適用さ

れる。DDIVCO回路23の他の部分は、図3のミキサ16と変わりがない。前述の信号Aおよびその相補信号Aは、各FET素子T3-1およびT3-2のゲートに供給される。これらのFET素子のソースは、共通のノード25Aに連結されている。前述の信号Bおよびその相補信号Bは、それぞれのFET素子T4-1およびT4-2のゲートに供給される。これらのFET素子のソースは共通のノード25Bに連結されている。FET素子T3-1およびT4-1のドレインは、前記ダイオード負荷T5-2および前記抵抗負荷T5-1に、信号Svcoが出力されるノード28Aにおいて接続されている。FET素子T3-2およびT4-2のドレインは、前記ダイオード負荷T6-2および前記抵抗負荷T6-1に、信号Svcoが出力されるノード28Bにおいて接続されている。配列24Aおよび24BのFET素子はすべて小さいサイズである(W*L)。例えば、所定のデジタルCMOS技術ではこのサイズは2*1に相当する。(図4、図5の)CELL0からCELL15のFET素子Nx-1、Nx-2、Nx-3(x=0から15)のサイズがそれぞれ同じ技術で10*1、10*1、10*4であることと比較できる。結果として、半導体チップに、両配列が要する領域とDAC14が要する領域間に最低1桁の差がある。本発明のDDI回路23が、図4および図5のDAC14の高精度抵抗器を必要としないで作動することは留意すべきことである。

【0022】配列24Aに属する1つのFET素子がスイッチ・オン(オフ)の場合、反対側の相対するFET素子はスイッチ・オフ(オン)になる。このため、DDI回路23は全体として単調さを維持する。最終結果として、図2のDIVCO回路15を完全にデジタルの

DIVCO(DDIVCO)回路に変換するため、DIVCO回路15のループに組み込まれたDI回路16を2つのDDI回路23に置き換えることができる。次に、デジタルPLL(DPLL)回路を完全にデジタル化するため、DDIVCO回路をデジタルPLL回路のループ組み込むことができる。

【0023】図7が示すのは、新しいDPLL回路29の概略図であり、図1のPLL回路10から発生しているが、本発明によるものである。DPLL回路は本発明のDDIVCO回路30を含んでいる。DPLL回路は、かなり複雑で面積を消費するDAC14が削除されているので、図1のPLL回路10の構造よりも明らかに単純である。

【0024】一対のDDI回路23を含むDDIVCO回路30は、高性能のデジタルCMOS技術で設計されている。図8は、時間を関数とした信号Svcoの周波数増分を示す。図8に表されているように、この特定の場合、最小周波数(Fmin)から最大周波数(Fmax)に上がるには16ステップを必要とする。回路の全周波数範囲は、信号Sfiltを増分して、配列24AのNFET素子を次々にスイッチ・オンにすることで(およびそれによって信号Sfiltで駆動される相補のFET素子を次々にスイッチ・オフにすることで)シミュレートした。FminとFmaxとの間のチューニング範囲は約+/-17%である。Fminの周波数とFmaxの周波数は、一方の配列のFET素子がすべてスイッチ・オン(オフ)で、他方の配列のFET素子がすべてスイッチ・オフ(オン)の場合に相当するので、DDIVCO回路30は常に周波数範囲の両端から切り換えられる。以下の真理値表はFminとFmaxとの間の周波数変動ステップを示す。

真理値表

数値	S f i l t (16ビット)	周波数 (GHz)
0	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0	F m i n = 0 , 3 0
1	0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1	
2	0 0 0 0 0 0 0 0 0 0 0 0 0 0 1 1	
3	0 0 0 0 0 0 0 0 0 0 0 0 0 1 1 1	
...	...	
16	1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1	F m a x = 0 , 4 0

【0025】開示した解決策は明確な利点を有する。DRL回路29のループには、ノイズを拾う可能性のあるアナログ信号はもはや存在しない。実際にデジタル信号は、アナログ信号よりもノイズにかなり鈍感である。従来のDAC14は原形が廃止され、きわめて単純な構造であり、それによって電力消費を減少するものに置き換えられている。配列24Aおよび24Bを構成するのに必要な非常に小型の2組のFET素子は、図2の

ADIVCO回路15のNFET入力素子T1およびT2を組み込むために本来要した領域を増大させるであろう。しかし最終的にはDAC14を完全に削除し、それにより高精度抵抗器が不要になり、全体的にかなり空間を節約することになる。もう1つの結果として、DAC14に付随する遅延がもはや存在なくなり、間接的にDPLL回路のループ安定度をかなり向上させることになる。本発明によるDDIVCO回路30を実現する

にあたって問題にするまでもない唯一の欠点は、デジタル入力信号 S_{filter} の相補位相（すなわち信号 S_{filter} ）の生成にあり、これは通常ビット信号ごとにインバータを必要とする。しかしレジスタ 13 の多くのラッチは反対の位相出力をもつので、実際には余分の回路は必要としない。

【0026】まとめとして、本発明の構成に関して以下の事項を開示する。

【0027】(1) デジタル N ビットの真位相および相補位相によって駆動される完全にデジタルな遅延補間回路 (23) であって、第 1 ノード (25A) を形成する共通ソースを有し、それぞれのゲートが第 1 入力信号 (A) の前記真位相および相補位相によって駆動される第 1 の一対の NFET 素子 (T3-1、T3-2) と、第 2 ノード (25B) を形成する共通ソースを有し、それぞれのゲートが第 2 入力信号 (B) の前記真位相および相補位相によって駆動される第 2 の一対の NFET 素子 (T4-1、T4-2) とを有し、前記第 1 の一対の NFET 素子のうち、前記第 1 入力信号の前記相補位相によってゲートが駆動される前記 NFET 素子が、第 1 供給電圧 (V_{dd}) に接続されたダイオード／抵抗負荷 (T6-2、T6-1)、および前記第 2 の一対の NFET 素子のうち前記第 2 入力信号の前記相補位相によってゲートが駆動される前記 NFET 素子のドレインに接続され、それにより出力信号の第 1 位相 (S_{vco}) を生成する第 1 共通出力ノード (28B) を形成するそのドレインを有するものと、前記第 2 の一対の NFET 素子のうち、前記第 2 入力信号の前記真位相によってゲートが駆動される前記 NFET 素子が、前記第 1 供給電圧 (V_{dd}) に接続されたダイオード／抵抗負荷 (T5-2、T5-1)、および前記第 1 の一対の NFET 素子のうち前記第 1 入力信号の前記真位相によってゲートが駆動される前記 NFET 素子のドレインに接続され、それにより前記出力信号の第 2 位相 (S_{vco}) を生成する第 2 共通出力ノード (28A) を形成するそのドレインを有するものと、並列に接続された複数 N 個の NFET 素子 (T1-0、...) を含む第 1 の配列 (24A) であって、それぞれの前記 NFET 素子の共通のドレインが前記第 1 ノードに接続され、共通のソー

スが共通のノード (26) において電流源 (27) に接続され、それぞれの前記 NFET 素子のゲートが制御信号の真位相の各 N ビット (c_0 、...) によって駆動されるものと、並列に接続された複数 N 個の NFET 素子 (T2-0、...) を含む第 2 の配列 (24B) であって、それぞれの前記 NFET 素子の共通のドレインが前記第 2 ノードに接続され、共通のソースが前記共通ノード (26) において前記電流源 (27) に接続され、それぞれの前記 NFET のゲートが前記制御信号の相補位相の各 N ビット (c_0 、...) によって駆動されるものと、を有する完全にデジタルの遅延補間回路。

(2) 前記デジタル制御信号が温度計レジスタ (13) によって生成される (1) に記載の回路。

(3) 前記第 1 配列および第 2 配列にあるすべての前記 NFET 素子が同じサイズを有する (1)、ないし (2) に記載の回路。

【図面の簡単な説明】

【図 1】既存の技術による従来の PLL 回路を示す概略ブロック図である。

【図 2】既存の技術による従来のアナログ遅延補間電圧制御発振器 (ADIVCO) 回路を示す概略ブロック図である。

【図 3】ADIVCO 回路の詳細を示す図である。

【図 4】2 つの主要ブロックを含む既存の技術による従来の 16 ビット・デジタル・アナログ変換器 (DAC) を示す概略ブロック図である。

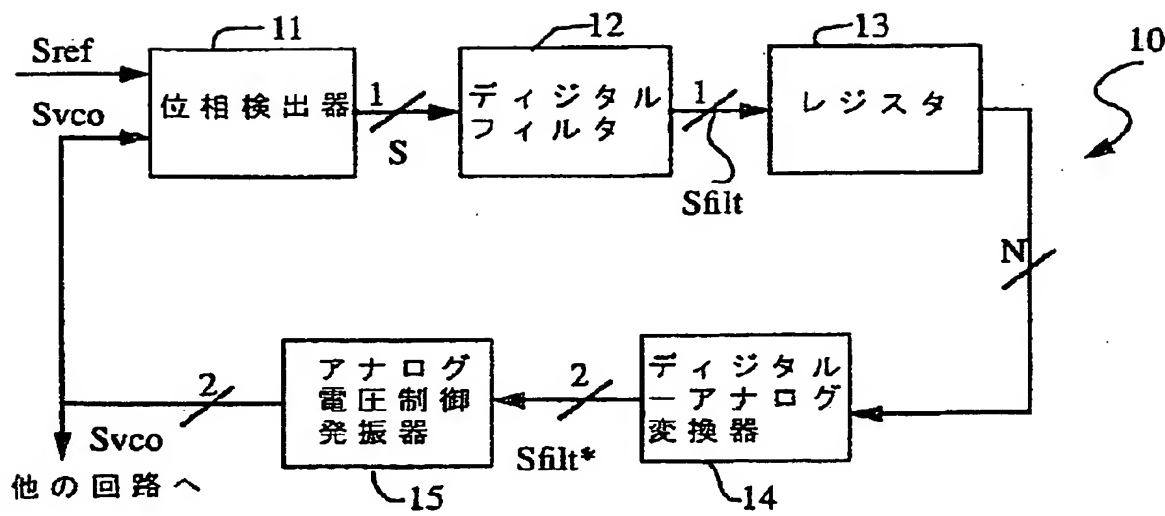
【図 5】図 4 の主要ブロックの 1 つの詳細な構造を示す図である。

【図 6】本発明による完全にデジタルな遅延補間 (DDI) 回路の詳細な構造を示す図である。

【図 7】図 6 の DDI 回路を組み込んだデジタル DIVCO 回路を結合した完全にデジタルな位相ロック・ループ (DPLL) 回路の構造を示す概略ブロック図である。

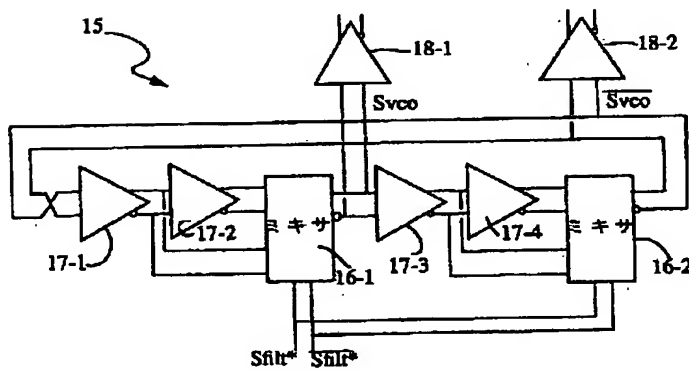
【図 8】図 7 のデジタル DIVCO 回路が生成する信号 S_{vco} の時間を関数とした周波数変動を示すグラフである。

【図1】



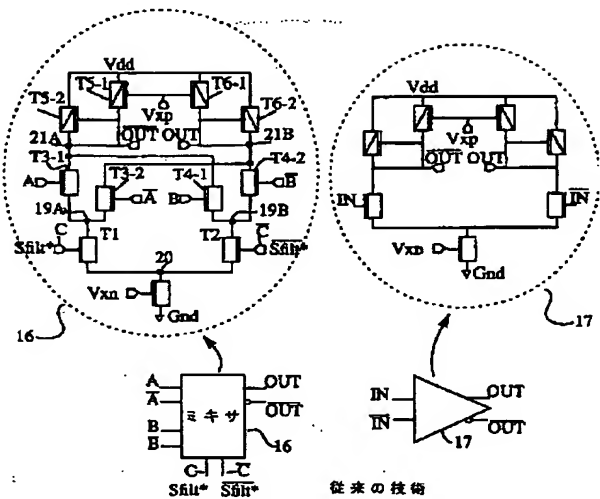
従来の技術

【図2】



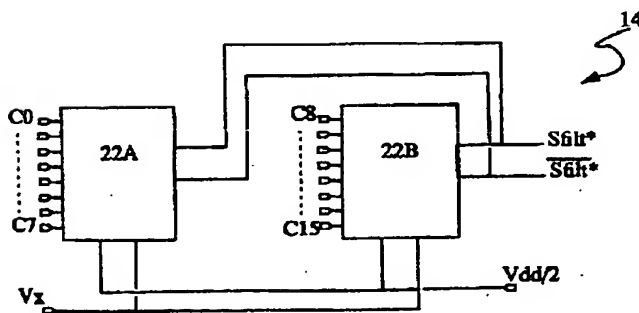
従来の技術

【図3】



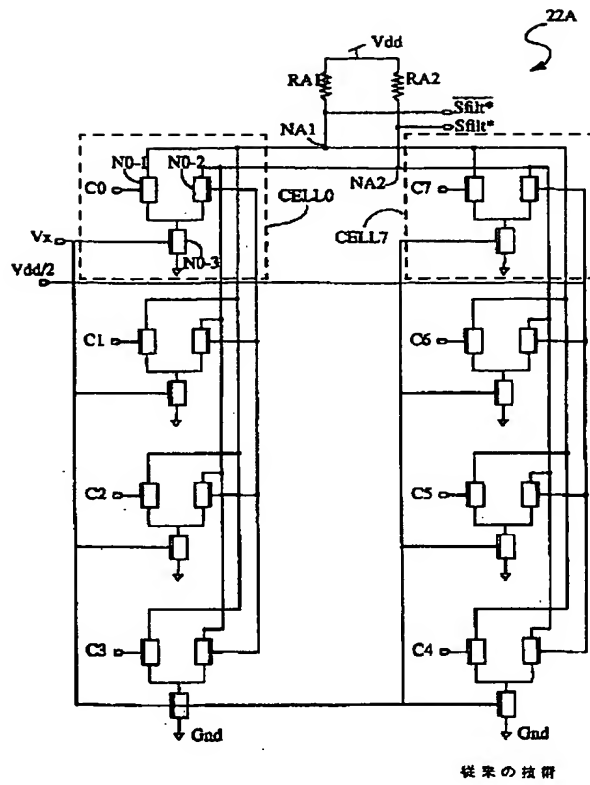
従来の技術

【図4】

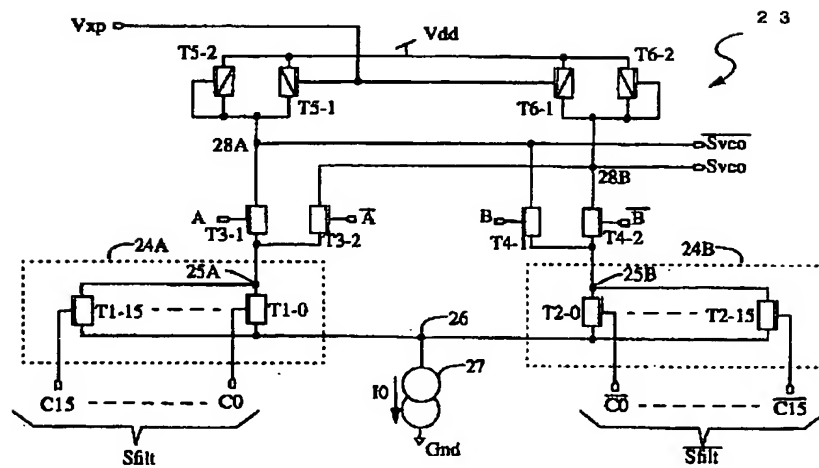


従来の技術

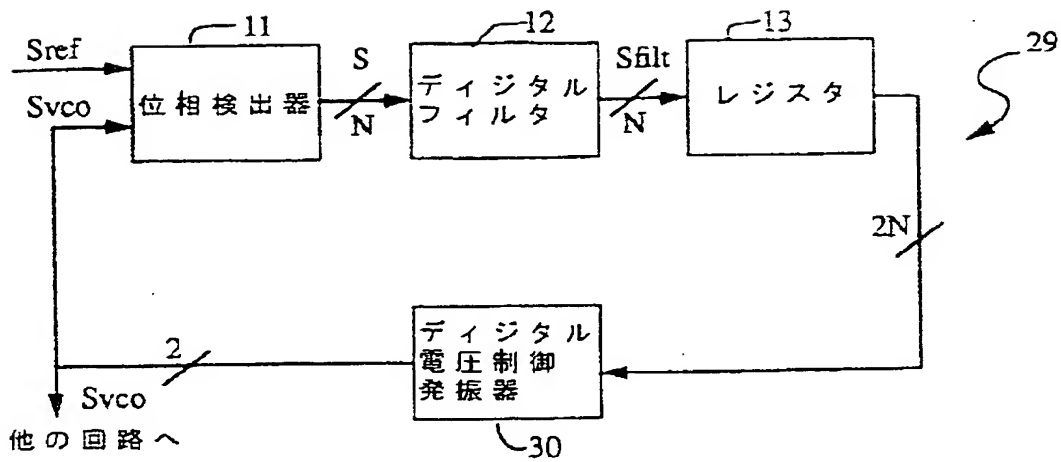
【図5】



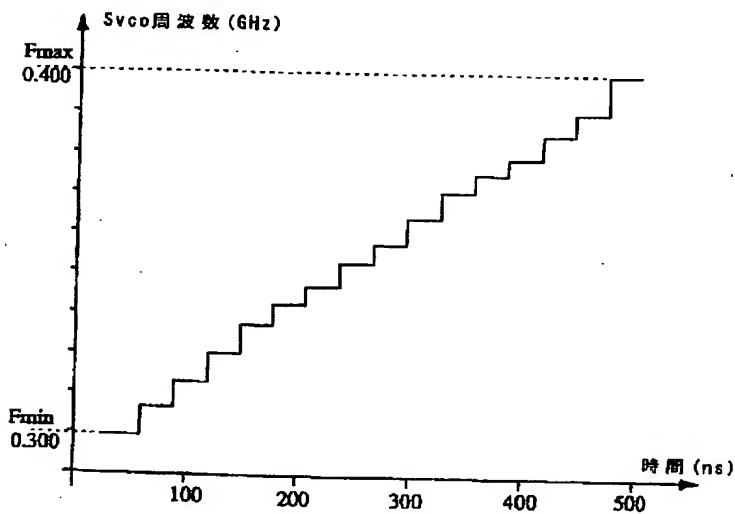
【図6】



【図7】



【図8】



フロントページの続き

(72) 発明者 フィリップ・ジラード
 フランス国91100、コベイ・エソン、ル
 ー・デ・ラ・ドフィン、ピーティエー エイ
 2 71

(72) 発明者 パトリック・モン
 フランス国77310、サン・ファーゴウ・ボ
 ンティエリ、ルー・ド・シャトー・ティリ
 331